

PATENT ABSTRACTS OF JAPAN**Cite No. 1**

(11) Publication number : **04-225329**
 (43) Date of publication of application : **14.08.1992**

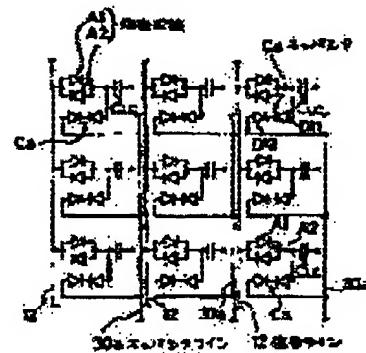
(51) Int.Cl.

G02F 1/136
 G02F 1/133
 G09F 9/30
 H01L 21/02

(21) Application number : 02-407111**(71) Applicant : CASIO COMPUT CO LTD****(22) Date of filing : 27.12.1990****(72) Inventor : SASAKI MAKOTO****(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE****(57) Abstract:**

PURPOSE: To display good images free from 'flickering', etc., by impressing sufficient electric fields to the liquid crystals between picture element electrodes and counter electrodes even at the time of non-selection when active circuits attain a shut-off state.

CONSTITUTION: The capacity compensation capacitors Cs which accumulate the charges of the signals impressed to the picture element electrodes when the active circuits A1, A2 attain a conducting state are connected in parallel to the respective picture element electrodes and the capacity of the liquid crystal capacitors CLCs formed of the picture element electrodes and the counter electrodes as well as the liquid crystals between these electrodes is compensated by the above-mentioned capacity compensation capacitors Cs. In addition, each of the capacity compensation capacitors Cs is formed by connecting two pieces of thin-film diodes D11, D12 having the large capacity per unit area in series reverse from each other.

**LEGAL STATUS****[Date of request for examination]****[Date of sending the examiner's decision of rejection]****[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]****[Date of final disposal for application]****[Patent number]****[Date of registration]****[Number of appeal against examiner's decision of rejection]****[Date of requesting appeal against examiner's decision of rejection]****[Date of extinction of right]**

Copyright (C); 1998,2003 Japan Patent Office

PAT-NO: JP404225329A
DOCUMENT-IDENTIFIER: JP 04225329 A
TITLE: ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE
PUBN-DATE: August 14, 1992

INVENTOR- INFORMATION:
NAME
SASAKI, MAKOTO

ASSIGNEE- INFORMATION:
NAME COUNTRY
CASIO COMPUT CO LTD N/A

APPL-NO: JP02407111
APPL-DATE: December 27, 1990

INT-CL (IPC): G02F001/136, G02F001/133 , G09F009/30 ,
H01L021/02

US-CL-CURRENT: 349/51, 349/FOR.110

ABSTRACT:

PURPOSE: To display good images free from 'flickering', etc., by impressing sufficient electric fields to the liquid crystals between picture element electrodes and counter electrodes even at the time of non-selection when active circuits attain a shut-off state.

CONSTITUTION: The capacity compensation capacitors Cs which accumulate the charges of the signals impressed to the picture element electrodes when the active circuits A1, A2 attain a conducting state are

connected in parallel to the respective picture element electrodes and the capacity of the liquid crystal capacitors CLCs formed of the picture element electrodes and the counter electrodes as well as the liquid crystals between these electrodes is compensated by the above-mentioned capacity compensation capacitors Cs. In addition, each of the capacity compensation capacitors Cs is formed by connecting two pieces of thin-film diodes D11, D12 having the large capacity per unit area in series reverse from each other.

COPYRIGHT: (C)1992,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-225329

(43)公開日 平成4年(1992)8月14日

(51)Int.Cl. ¹	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 5	9018-2K		
1/133	5 5 0	7820-2K		
G 0 9 F 9/30	3 3 8	7926-5G		
H 0 1 L 21/02		8518-4M		

審査請求 未請求 請求項の数1(全 8 頁)

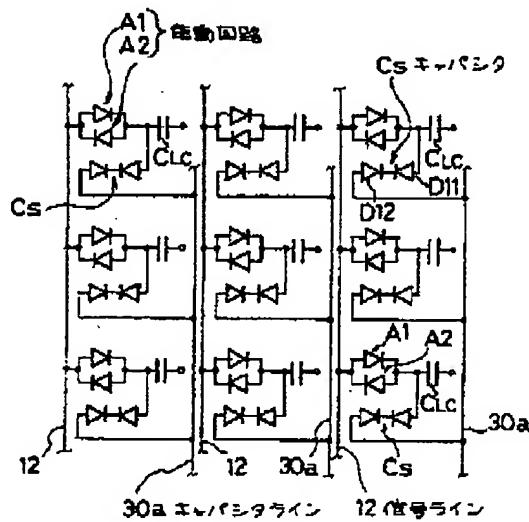
(21)出願番号 特願平2-407111	(71)出願人 000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22)出願日 平成2年(1990)12月27日	(72)発明者 佐々木 誠 東京都八王子市石川町2851番地の5 カシオ計算機株式会社八王子研究所内
	(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 アクティブマトリックス液晶表示装置

(57)【要約】

【目的】能動回路が遮断状態となった非選択時にも画素電極と対向電極との間の液晶に十分な電界を印加して、“ちらつき”等のない良好な画像を表示する。

【構成】各画素電極にそれぞれ、能動回路A1, A2が導通状態となったときに画素電極に印加される信号の電荷を蓄積する容量補償キャパシタCsを並列に接続して、画素電極と対向電極およびその間の液晶とで形成される液晶コンデンサCLCの容量を上記容量補償キャパシタCsで補うようにし、かつ、この容量補償キャパシタCsを、単位面積当たりの容量が大きい2個の薄膜ダイオードD11, D12を互いに逆向きに直列接続して形成した。



(2)

特開平4-225329

【特許請求の範囲】

【請求項 1】 液晶層をはさんで対向する一対の透明基板の一方に、ストライプ状の対向電極を多数本互いに平行に形成し、他方の基板には前記対向電極の長さ方向に対して直交する信号ラインを多数本互いに平行に配線するとともに、この各信号ラインにそれぞれ沿わせて、前記各対向電極にそれぞれ対向する多数の画素電極を配列形成し、前記各信号ラインとこの信号ラインに沿う各画素電極とをそれぞれ、薄膜ダイオードからなる能動回路を介して接続したアクティブマトリックス液晶表示装置において、前記各画素電極にそれぞれ、前記能動回路が導通状態となったときに前記画素電極に印加される信号の電荷を蓄積する容量補償キャパシタを並列に接続し、かつ、この容量補償キャパシタは、互いに逆向きに直列接続した 2 個の薄膜ダイオードで形成したことを特徴とするアクティブマトリックス液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画素電極を選択するための能動素子として薄膜ダイオードを用いたアクティブマトリックス液晶表示装置に関するものである。

【0002】

【従来の技術】 アクティブマトリックス液晶表示装置として、画素電極を選択するための能動素子に薄膜ダイオードを用いたものがあり、この液晶表示装置には、ダイオードリング (D R) 構造と呼ばれるものと、パック・トゥ・パック (B T B) 構造と呼ばれるものがある。

【0003】 図 6 および図 7 は従来のアクティブマトリックス液晶表示装置の一部分の回路図であり、図 6 はダイオードリング構造を示し、図 7 はパック・トゥ・パック構造を示している。

【0004】 このアクティブマトリックス液晶表示装置は、液晶層をはさんで対向する一対の透明基板の一方に、ストライプ状の対向電極 (透明電極) 1 を密な間隔で多数本互いに平行に形成し、他方の基板には上記対向電極 1 の長さ方向に対して直交する信号ライン 2 を表示画素の面積より確かに広い間隔で多数本互いに平行に配線するとともに、この各信号ライン 2 にそれぞれ沿わせて、上記各対向電極 1 にそれぞれ対向する多数の画素電極 (透明電極) 3 を配列形成し、上記各信号ライン 2 とこの信号ライン 2 に沿う各画素電極 3 をそれぞれ薄膜ダイオード (以下、単にダイオードという) からなる能動回路を介して接続したものである。

【0005】 そして、ダイオードリング構造の液晶表示装置は、図 6 に示すように、画素電極 3 の両端部をそれぞれ、複数個 (図では 2 個) のダイオードを直列に接続した一对の能動回路 A1, A2 を介して信号ライン 2 に接続した構成となっており、画素電極 3 の一端部に接続された一方の能動回路 A1 のダイオードと、画素電極 3 の他端部に接続された能動回路 A2 のダイオードとは互

いに逆向きになっている。

【0006】 なお、このダイオードリング構造の液晶表示装置において、信号ライン 2 と画素電極 3 の両端部とを接続する各能動回路 A1, A2 をそれぞれ複数個のダイオードを直列に接続した構成としているのは、画素を表示させるための ON 電圧を高くするためである。

【0007】 すなわち、上記各能動回路 A1, A2 を 1 個の薄膜ダイオードだけで構成したのでは、この能動回路 A1, A2 が順方向の電流に対して導通状態となるしきい値電圧が低すぎて、ノイズ等による電圧が信号ライン 2 に印加された場合でもこの電圧が画素電極 3 に印加されてしまうが、各能動回路 A1, A2 を複数個の薄膜ダイオードを直列に接続した構成とすれば、この能動回路 A1, A2 のしきい値電圧が高くなり、このしきい値以上の電圧の信号が信号ライン 2 に印加されたときに画素電極 3 に表示駆動電圧が印加されるから、ON 電圧と OFF 電圧との差を大きくとって、ノイズ電圧等の影響を受けない表示駆動を行なうことができる。

【0008】 この液晶表示装置は、その各対向電極 1 に順次走査信号を印加し、これに同期させて各信号ライン 2 に画像データ信号を印加することによって表示駆動されている。なお、上記走査信号と画像データ信号はいずれも同じ周期で極性が反転する信号であり、走査信号と画像データ信号の極性は互いに逆である。

【0009】 この液晶表示装置の表示動作を説明すると、今、信号ライン 2 に能動回路 A1, A2 のしきい値より高い + の電圧 (+ Vc) のデータ信号が印加されたとすると、このとき、対向電極 1 と画素電極 3 およびその間の液晶とからなる液晶コンデンサは過渡的に導通しているとみなせるのに対して、薄膜ダイオードで構成された能動回路 A1, A2 は高抵抗であるから、データ信号が印加された瞬間に、上記データ信号の電圧 + Vc が能動回路 A1, A2 の両端に印加される。

【0010】 そして、このデータ信号の電圧 + Vc は能動回路 A1, A2 のしきい値より高いため、信号ライン 2 から順方向のダイオードで構成される能動回路 (図において画素電極 3 の上端部に接続された能動回路) A1 を通って画素電極 3 に電流が流れれる。

【0011】 また、このとき、対向電極 1 には画素電極 3 に印加されたデータ信号とは逆極性の - の電圧の走査信号が印加されているため、画素電極 3 と対向電極 1 との間の電圧に応じた電荷が上記液晶コンデンサに蓄積されてこの部分の画素が書き込み (表示) 状態となる。なお、上記能動回路 A1 の両端間の電圧は、液晶コンデンサに電荷が蓄積されるのとともに下がり、この電圧がしきい値より低くなったときにこの能動回路 A1 が遮断状態になる。

【0012】 また信号ライン 2 に能動回路 A1, A2 のしきい値より高い - の電圧 (- Vc) のデータ信号が印加されると、このときは、能動回路 A1, A2 の両端

(3)

特開平4-225329

3

に、上記+の電圧 ($+V_c$) のデータ信号の印加時とは逆の極性の電圧印加される。そして、この場合も上記データ信号の電圧 $-V_c$ は能動回路 A1, A2 のしきい値より高いため、画素電極 3 から逆方向のダイオードで構成される能動回路（図において画素電極 3 の下端部に接続された能動回路）A2 を通って信号ライン 2 に電流が流れる。

【0013】また、このとき、対向電極 1 には十の電圧の走査信号が印加されているため、上記液晶コンデンサに逆極性の電荷が蓄積されてこの部分の画素が逆極性の書き（表示）状態となる。なお、このときも、上記能動回路 A2 の両端間の電圧は、液晶コンデンサに電荷が蓄積されるにともなって低くなり、この電圧がしきい値より低くなったときにこの能動回路 A2 が遮断状態になる。

【0014】そして、上記能動回路 A1, A2 が遮断状態になった後も、上記液晶コンデンサには電荷が蓄積されているため、画素電極 3 と対向電極 1 との間の液晶は、この液晶コンデンサの電圧を維持して印加され、これにより画素の表示状態が保持される。

【0015】一方、パック・トゥ・パック構造の液晶表示装置は、図 7 に示すように、信号ライン 2 と画素電極 3 とを、2 個の薄膜ダイオードを互いに逆向きに直列接続した能動回路 B で接続した構成となっている。

【0016】このパック・トゥ・パック構造の液晶表示装置も、その表示動作は基本的には上記ダイオードリング構造のものと同じである。ただし、このパック・トゥ・パック構造の液晶表示装置では、その能動回路 B が 2 個の薄膜ダイオードを互いに逆向きに直列接続した構成となっているため、この能動回路 B のしきい値電圧は、2 個の薄膜ダイオードのうち、電流の方向に対して逆向きのダイオードがダイオード機能を失った状態になってこのダイオードに逆方向電流が流れ始める電圧である。

【0017】

【発明が解決しようとする課題】しかしながら、上記従来のアクティブマトリックス液晶表示装置は、上記能動回路 A1, A2 または B が遮断状態となったときに、上記液晶コンデンサの電圧、つまり画素電極 3 と対向電極 1 との間の電圧が大きく低下してしまい、そのため、選択された画素が次に選択されるまでの非選択期間中維持して液晶に十分な電界を印加することができなくなつて、表示に“ちらつき”等が発生するという問題をもつていた。

【0018】これは、上記能動回路 A1, A2 または B を構成している薄膜ダイオードが容量をもっているためである。すなわち、薄膜ダイオードは、対向する一対の電極間に P-I-N（または N-I-P）接合構造の半導体層または P-N（または N-P）接合構造の半導体層を介在させた構成となっているが、P-I-N 接合構造の薄膜ダイオードでは、その半導体層の P 型半導体膜

と N 型半導体膜との間の I 型半導体膜がコンデンサの絶縁層に相当し、また P-N 接合構造の薄膜ダイオードでは、これに逆方向の電圧が印加されたときに P-N 接合部に空乏層ができてこの空乏層がコンデンサの絶縁膜として作用するため、いずれの接合構造の薄膜ダイオードも容量をもっている。

【0019】そして、このように能動回路 A1, A2 または B を構成する薄膜ダイオードが容量をもっていると、選択時、つまり上記能動回路が導通状態となったときにデータ信号の電荷を蓄積した液晶コンデンサの電圧が、能動回路 A1, A2 または B が遮断状態（非選択状態）となったときに液晶コンデンサの容量と上記能動回路の容量（能動回路を構成する各薄膜ダイオードの総容量）との比に応じて液晶コンデンサと能動回路とに分圧されるため、液晶コンデンサ電圧が大きく低下し、その結果、画素電極 3 と対向電極 1 との間の液晶に十分な電界を印加できなくなつて、表示に“ちらつき”等が発生する。

【0020】本発明の目的は、薄膜ダイオードで能動回路を構成したものでありながら、上記能動回路が遮断状態となった非選択時にも、画素電極と対向電極との間の液晶に十分な電界を印加して、“ちらつき”等のない良好な画像を表示することができるアクティブマトリックス液晶表示装置を提供することにある。

【0021】

【課題を解決するための手段】本発明は、液晶層をはさんで対向する一対の透明基板の一方に、ストライプ状の対向電極を多数本互いに平行に形成し、他方の基板には前記対向電極の長さ方向に対して直交する信号ラインを多数本互いに平行に配線するとともに、この各信号ラインにそれぞれ沿わせて、前記各対向電極にそれぞれ対向する多数の画素電極を配列形成し、前記各信号ラインとこの信号ラインに沿う各画素電極とをそれぞれ、薄膜ダイオードからなる能動回路を介して接続したアクティブマトリックス液晶表示装置において、前記各画素電極にそれぞれ、前記能動回路が遮断状態となったときに前記画素電極に印加される信号の電荷を蓄積する容量補償キャバシタを並列に接続し、かつ、この容量補償キャバシタは、互いに逆向きに直列接続した 2 個の薄膜ダイオードで形成したことを特徴とするものである。

【0022】

【作用】すなわち、本発明のアクティブマトリックス液晶表示装置は、各画素電極に容量補償キャバシタを並列に接続することにより、画素電極と対向電極およびその間の液晶とで形成される液晶コンデンサの容量を上記容量補償キャバシタで補うようにしたもので、この容量補償キャバシタは、上記液晶コンデンサと同様に、選択時に画素電極に印加される信号の電荷を蓄積する。

【0023】また、この容量補償キャバシタは、2 個の薄膜ダイオードを互いに逆向きに直列接続したものであ

(4)

特開平4-225329

5

り、薄膜ダイオードは、一対の電極間にP型半導体膜とN型半導体膜とを直接またはI型半導体膜をはさんで積層した半導体層を介在させたものであるため、この薄膜ダイオードからなる上記容量補償キャパシタは、一対の電極を絶縁膜をはさんで対向させた通常のコンデンサに比べて単位面積当たりの容量が大きい。

【0024】そして、この液晶表示装置においても、能動回路が遮断状態（非選択状態）となったときに、液晶コンデンサの電圧が、この液晶コンデンサの容量と能動回路の容量（能動回路を構成する複数の薄膜ダイオードの總容量）との比に応じて液晶コンデンサと能動回路とに分圧されるが、上記液晶コンデンサには単位面積当たりの容量が大きい薄膜ダイオードからなる容量補償キャパシタが並列に接続されているため、液晶コンデンサの実質的な容量は、液晶コンデンサ自体の容量と上記容量補償キャパシタの容量との總容量であり、したがって、液晶コンデンサの実質容量は能動回路の容量より十分大きいから、能動回路に分圧される電圧を小さくして、液晶コンデンサに十分な電圧を保持させることができる。

【0025】

【実施例】以下、本発明の一実施例を、ダイオードリング構造のアクティブマトリックス液晶表示装置について図1～図5を参照し説明する。図1は液晶表示装置の等価回路図、図2は液晶表示装置の1つの画素表示部の平面図、図3は図2のIII-III線に沿う拡大断面図、図4および図5は図2のIV-IV線およびV-V線に沿う拡大断面図である。

【0026】この実施例の液晶表示装置は、液晶層をはさんで対向する一対の透明基板（ガラス基板等）のうち一方の基板（図示せず）に、ストライプ状の対向電極11を多数本互いに平行に形成し、他方の基板10には前記対向電極11の長さ方向に対して直交する信号ライン12を多数本互いに平行に配線するとともに、この各信号ライン12にそれぞれ沿わせて、上記各対向電極11にそれぞれ対向する多数の画素電極13を配列形成し、上記各信号ライン12とこの信号ライン12に沿う各画素電極13の両端部とをそれぞれ、薄膜ダイオードからなる能動回路A1、A2を介して接続するとともに、上記各画素電極13にそれぞれ容量補償キャパシタC3を接続したものである。

【0027】上記各能動回路A1、A2はそれぞれ、複数個（この実施例では2個）の薄膜ダイオードD1a、D1bおよびD2a、D2bを直列に接続して構成されており、画素電極13の一端部に接続された一方の能動回路A1の薄膜ダイオードD1a、D1bの向きと、画素電極3の他端部に接続された他方の能動回路A2の薄膜ダイオードD2a、D2bの向きは、互いに逆向きになっている。

【0028】上記画素電極13の一端部に接続された第1の能動回路A1の構成を説明すると、この第1の能動回路A1は、図2および図4に示すように、上記基板10

6

0の上に横に並べて形成した2個の薄膜ダイオードD1a、D1bで構成されている。

【0029】この薄膜ダイオードD1a、D1bはいずれもP-I-N接合構造のもので、この両ダイオードD1a、D1bはそれぞれ、基板10上に形成されたベース電極20の上に、下部導電膜22と、P型半導体膜23pと、I型半導体膜23iと、N型半導体膜23nと、上部導電膜24とを順に積層した半導体層21を形成し、この半導体層21の上に上部電極25を形成して構成されている。なお、上部電極25は、ベース電極20および半導体層21を覆う絶縁膜（空化シリコン膜等）26の上に形成されており、この絶縁膜26に設けたコンタクト孔において半導体層21の上部導電膜24に接続されている。

【0030】なお、上記半導体層21の各半導体膜23p、23i、23nは、アモルファス・シリコンまたはポリ・シリコンからなっており、また下部導電膜22および上部導電膜24は半導体膜とのコンタクト性がよいクロム等の金属で形成されている。

【0031】そして、信号ライン12側のダイオードD1aと、画素電極13側のダイオードD1bとは、画素電極側ダイオードD1bの上部電極25を上記絶縁膜26に設けたコンタクト孔において信号ライン側ダイオードD1aのベース電極20に接続することにより直列に接続され、第1の能動回路A1を構成している。

【0032】この第1の能動回路A1の一端つまり信号ライン側ダイオードD1aの上部電極は信号ライン12につながり、他端つまり画素電極側ダイオードD1bのベース電極20は画素電極13につながっている。なお、両ダイオードD1a、D1bのベース電極20は、画素電極13と同じ透明導電膜で形成されており、信号ライン側ダイオードD1aのベース電極20は独立した島状の電極とされ、画素電極側ダイオードD1bのベース電極20は画素電極13の一部で兼用されている。

【0033】また、信号ライン12は、画素電極13と同じ透明導電膜からなる下層膜12aの上に、クロム等の金属膜または、クロム膜等の上にアルミニウム等の低抵抗膜を積層した金属膜からなる上層膜12bを形成した構造となっており、両ダイオードD1a、D1bの上部電極25は、上記信号ライン12の上層膜12bと同じ金属膜で形成されている。

【0034】また、画素電極13の他端部に接続された第2の能動回路A2は、図2および図5に示すように、上記基板10の上に横に並べて形成した2個の薄膜ダイオードD2a、D2bで構成されている。

【0035】この薄膜ダイオードD2a、D2bもP-I-N接合構造のもので、基板10上に形成されたベース電極20の上に半導体層21を形成し、この半導体層21の上に上部電極25を形成して構成されており、この上部電極25は、ベース電極20および半導体層21を覆

(5)

特開平4-225329

7
う絶縁膜（空化シリコン膜等）26の上に形成されて、この絶縁膜26に設けたコンタクト孔において半導体層21の上部導電膜24に接続されている。なお、このダイオードD2a, D2bの半導体層21は、図4に示した第1の能動回路A1を構成するダイオードD1a, D1bの半導体層21と同じ積層構造のものであるから、その説明は図に同符号を付して省略する。

【0036】そして、信号ライン12側のダイオードD2aと、画素電極13側のダイオードD2bとは、信号ライン側ダイオードD2aの上部電極25を上記絶縁膜26に設けたコンタクト孔において画素電極側ダイオードD2bのベース電極20に接続することにより直列に接続され、第2の能動回路A2を構成している。

【0037】この第2の能動回路A2の一端つまり信号ライン側ダイオードD2aのベース電極20は信号ライン12につながり、他端つまり画素電極側ダイオードD2bの上部電極25は画素電極13につながっており、したがって、この第2の能動回路A2のダイオードD2a, D2bは、上記第1の能動回路A1のダイオードD1a, D1bとは逆向きになっている。

【0038】なお、この第2の能動回路A2の両ダイオードD1a, D1bのベース電極20も、画素電極13と同じ透明導電膜で形成されており、画素電極側ダイオードD2bのベース電極20は独立した島状の電極とされ、信号ライン側ダイオードD2aのベース電極20は、信号ライン12の下層膜12aにつながっている。

【0039】一方、上記容量補償キャパシタCsは、図2に示すように画素電極13の信号ライン接続側とは反対側の側縁部に対応させて形成されており、この容量補償キャパシタCsは、図3に示すように、2個の薄膜ダイオードD11, D12を互いに逆向きに直列接続して構成されている。

【0040】この容量補償キャパシタCsを構成する2個の薄膜ダイオードD11, D12は、上記能動回路A1, A1を構成する薄膜ダイオードD1a, D1bおよびD2a, D2bと同じP-I-N接合構造のもので、この両ダイオードD11, D12はそれぞれ、基板10上に形成されたベース電極30の上に、下部導電膜32と、P型半導体膜33pと、I型半導体膜33iと、N型半導体膜33nと、上部導電膜34とを順に積層した半導体層31を形成し、この半導体層31の上に上部電極35を形成して構成されている。なお、上部電極35は、ベース電極30および半導体層31を覆う絶縁膜（空化シリコン膜等）36の上に形成されており、この絶縁膜36に設けたコンタクト孔において半導体層31の上部導電膜34に接続されている。

【0041】この両ダイオードD11, D12の上部電極35は、両ダイオードD11, D12に共用される電極とされており、両ダイオードD11, D12は、その上部電極35を介して極性が互いに逆向きの状態（両ダイオードD1

10
50
8
D12のP型半導体膜33p, 33n同士が対向する状態）で直列に接続され、容量補償キャパシタCsを構成している。

【0042】この容量補償キャパシタCsの一端つまり一方のダイオードD11のベース電極30は画素電極13につながっており、他端つまり他方のダイオードD12のベース電極30は、画素電極13の列間に信号ライン12と平行に配線したキャパシタライン30aにつながっている。このキャパシタライン30aの両端は、基板10の側縁部に導出されて図示しない接地ラインに接続されている。

【0043】ただし、このキャパシタライン30aの両端は、対向する基板の対向電極11の両端部に接続してもよく、対向電極11の電位は非選択時はほぼ0であるから、対向電極11を容量補償キャパシタCsの接地ラインとして利用することができる。

【0044】なお、両ダイオードD11, D12のベース電極30と上記キャパシタライン30aは、画素電極13と同じ透明導電膜で形成されており、一方のダイオードD11のベース電極30は画素電極13の一部で使用され、他方のダイオードD12のベース電極30は上記キャパシタライン30aの一部で使用されている。

【0045】また、この両ダイオードD11, D12は、能動回路A1, A1を構成する薄膜ダイオードD1a, D1b, D2a, D2bと同じ積層構造であり、その半導体層31の各膜32, 33p, 33i, 33n, 34の材質および上部電極35の材質も能動回路A1, A1と同じである。このように、上記容量補償キャパシタCsを構成する薄膜ダイオードD11, D12を、能動回路A1, A2を構成する薄膜ダイオードD1a, D1b, D2a, D2bと同じ積層構造とすれば、能動回路A1, A2の製造工程を利用し容量補償キャパシタCsを同時に製造することができる。

【0046】上記容量補償キャパシタCsは、前記能動回路A1, A2のいずれかが導通状態となったときに画素電極13に印加される画像データ信号の電荷を蓄積するもので、この容量補償キャパシタCsは、図1に示した等価回路のように、画素電極13と対向電極11およびその間の液晶とで構成される液晶コンデンサCLCに並列につながっている。

【0047】この実施例の液晶表示装置は、各画素電極13にそれぞれ上記容量補償キャパシタCsを並列に接続することにより、画素電極13と対向電極11およびその間の液晶とで構成される液晶コンデンサCLCの容量を容量補償キャパシタCsで補うようにしたもので、この容量補償キャパシタCsは、上記液晶コンデンサCLCと同様に、選択時に画素電極13に印加される画像データ信号の電荷を蓄積する。

【0048】この容量補償キャパシタCsは、2個の薄膜ダイオードD11, D12を互いに逆向きに直列接続した

(6)

特開平4-225329

9

ものであり、この薄膜ダイオードD11, D12は、一对の電極（ベース電極と上部電極）30, 35間にP型半導体膜33pとN型半導体膜33nとをI型半導体膜33iをはさんで積層した半導体層31を介在させたものであるため、この薄膜ダイオードD11, D12からなる容量補償キャバシタCsは、一对の電極を絶縁膜をはさんで対向させた通常のコンデンサに比べて単位面積当たりの容量が大きく、したがって、この容量補償キャバシタCsは大きな容量をもっている。

【0049】すなわち、上記薄膜ダイオードD11, D12をコンデンサとして見ると、この薄膜ダイオードD11, D12の半導体層31のP型半導体膜33pとN型半導体膜33nがコンデンサの両電極に相当し、その間のI型半導体膜33iがコンデンサの絶縁層に相当する。

【0050】一方、コンデンサの容量は、その両電極間の絶縁層の誘電率とコンデンサの面積に比例し、上記絶縁層の厚さに反比例するが、通常のコンデンサの絶縁膜の膜厚はピンホール等の欠陥をなくすために400～600nmとかなり厚くされているのが普通であり、またこの絶縁膜の誘電率は塗化シリコン膜の場合で約7と小さいのに対し、上記薄膜ダイオードD11, D12は、コンデンサの絶縁層に相当するI型半導体膜33iの厚さが約100nmと薄く、またこのI型半導体膜33iの誘電率は、これをアモルファス・シリコンで形成した場合で約11と大きいため、この薄膜ダイオードD11, D12の単位面積当たりの容量は通常のコンデンサよりもはるかに大きい。

【0051】そして、この液晶表示装置においても、能動回路A1, A2が遮断状態（非選択状態）となったときに、液晶コンデンサCLCの電圧が、この液晶コンデンサCLCの容量と、能動回路A1, A2の容量（能動回路A1, A2を構成する2個ずつの薄膜ダイオードD1a, D1bおよびD2a, D2bの總容量）との比に応じて液晶コンデンサCLCと能動回路A1, A2とに分圧されるが、液晶コンデンサCLCには単位面積当たりの容量が大きい薄膜ダイオードD11, D12からなる容量補償キャバシタCsが並列に接続されているため、液晶コンデンサCLCの実質的な容量は、液晶コンデンサCLC自体の容量と上記容量補償キャバシタCsの容量との總容量であり、したがって、液晶コンデンサCLCの実質容量は能動回路A1, A2の容量より十分大きいから、能動回路A1, A2に分圧される電圧を小さくして、液晶コンデンサCLCに十分な電圧を保持させることができる。

【0052】なお、液晶コンデンサCLCの実質容量（液晶コンデンサCLC自体の容量と容量補償キャバシタCsの容量との總容量）は、能動回路A1, A2の容量の約10倍でよく、能動回路A1, A2の容量が液晶コンデンサCLCの実質容量の1/10以下であれば、能動回路A1, A2に分圧される電圧はほとんど無視できる。したがって、容量補償キャバシタCsを構成する薄膜ダイオードD11, D12の面積は、液晶コンデンサCLC自体の容

10

量と能動回路A1, A2の容量との比に応じて、液晶コンデンサCLCの実質容量が能動回路A1, A2の容量の10倍以上になるような大きさに選んでおけばよい。

【0053】このため、この液晶表示装置によれば、選択時に画素電極13と対向電極11との間に印加された画像データ信号の電圧を、能動回路A1, A2が遮断状態となつた非選択時にも継続して保持することができ、したがって、非選択期間中も画素電極13と対向電極11との間の液晶に十分な電圧を印加して、“ちらつき”等のない良好な画像を表示することができる。

【0054】なお、上記実施例では、容量補償キャバシタCsを構成する薄膜ダイオードD11, D12の半導体層31を各ダイオードD11, D12ごとに形成しているが、この半導体層31は、両ダイオードD11, D12にわたって連続していてもよい。また、この両ダイオードD11, D12は、そのベース電極を共用電極として、ベース電極を介して直列に接続してもよく、その場合は、ベース電極を信号ライン12および画素電極13から独立させて形成し、上部電極を各ダイオードD11, D12ごとに形成して、一方のダイオードD11の上部電極を画素電極13に接続し、他方のれダイオードD12の上部電極を信号ライン12に接続すればよい。

【0055】さらに、上記実施例では、能動回路A1, A2を構成する薄膜ダイオードD1a, D1b, D2a, D2bと、容量補償キャバシタCsを構成する薄膜ダイオードD11, D12とをそれぞれP-I-N接合構造としたが、この各薄膜ダイオードは、その半導体層21, 31を上記実施例と逆の積層構造としたN-I-P接合構造としてもよいし、また、半導体層からI型半導体膜をなくしてP型半導体膜とN型半導体膜とを直接積層したP-N接合構造またはN-P接合構造としてもよい。

【0056】この場合、P-N（またはN-P）接合構造の薄膜ダイオードでは、これに逆方向の電圧が印加されたときにP-N接合部に空乏層ができるが、この空乏層がコンデンサの絶縁膜として作用するが、P型半導体膜とN型半導体膜の膜厚はいずれも約100nmと薄いために上記空乏層の厚さの広がりは小さいから、このP-N接合構造の薄膜ダイオードも大きな容量をもっている。したがって、容量補償キャバシタCsを構成する薄膜ダイオードをP-N接合構造としても、この容量補償キャバシタCsに大きな容量をもたせることができること。

【0057】さらに、上記実施例の液晶表示装置はダイオードリング構造のものであるが、本発明は、信号ラインと画素電極とを、2個の薄膜ダイオードを互いに逆向きに直列接続した1つの能動回路で接続したバック・トゥ・バック構造のアクティブマトリックス液晶表示装置にも適用できることはもちろんである。

【0058】このバック・トゥ・バック構造とする場合は、能動回路を構成する薄膜ダイオードのP型およびN型半導体膜と、容量補償キャバシタを構成する薄膜ダイ

(7)

特開平4-225329

11

オードのP型およびN型半導体膜との不純物のドープ量を変えて、容量補償キャバシタのしきい値電圧を能動回路のしきい値電圧より十分高くしておけばよい。

【0059】

【発明の効果】本発明のアクティブマトリックス液晶表示装置は、各画素電極にそれぞれ、能動回路が導通状態となったときに画素電極に印加される信号の電荷を蓄積する容量補償キャバシタを並列に接続し、かつ、この容量補償キャバシタを、単位面積当たりの容量が大きい2個の薄膜ダイオードを互いに逆向きに直列接続して形成したものであるから、薄膜ダイオードで能動回路を構成したものでありながら、上記能動回路が遮断状態となつた非選択時にも、画素電極と対向電極との間の液晶に十分な電界を印加して、“ちらつき”等のない良好な画像を表示することができる。

【図面の簡単な説明】

12

【図1】本発明の一実施例を示す液晶表示装置の等価回路図。

【図2】上記液晶表示装置の1つの画素表示部の平面図。

【図3】図2のIII-III線に沿う拡大断面図。

【図4】図2のIV-IV線に沿う拡大断面図。

【図5】図2のV-V線に沿う拡大断面図。

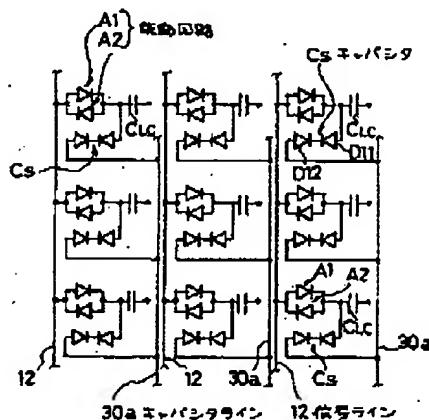
【図6】従来のダイオードリング構造の液晶表示装置の回路図。

【図7】従来のバック・トゥ・バック構造の液晶表示装置の回路図。

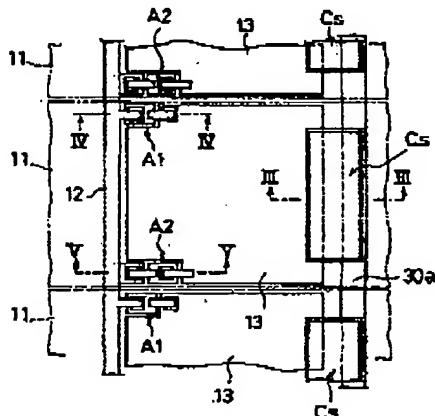
【符号の説明】

1 1…対向電極、1 2…信号ライン、1 3…画素電極、
A1, A2…能動回路、D1a, D1b, D2a, D2b…薄膜
ダイオード、C_s…容量補償キャバシタ、D1L, D12…
薄膜ダイオード。

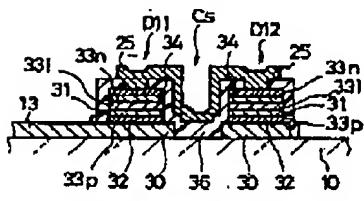
【図1】



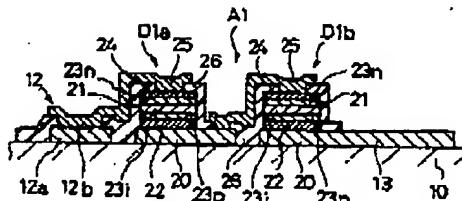
【図2】



【図3】



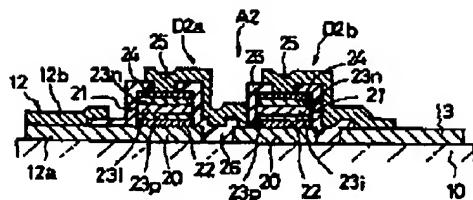
【図4】



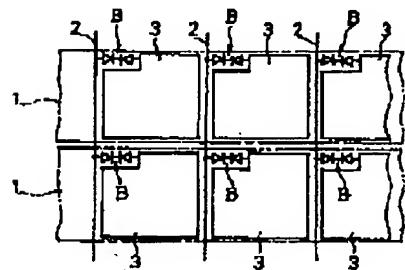
(8)

特開平4-225329

【図5】



【図7】



【図6】

